

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-045999

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H01S 3/18  
G02F 1/015  
H01L 27/15

(21)Application number : 07-194409

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 31.07.1995

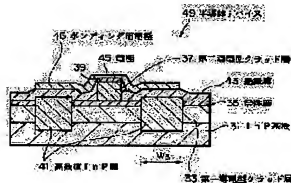
(72)Inventor : HORIKAWA HIDEAKI  
YAMAUCHI YOSHINORI  
GOTO OSAMU  
YAEGASHI HIROKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve a high-speed modulation operation by obtaining a semiconductor device having no leakage current and allowing a flow of a current to an active layer with high efficiency and allowing reduction of an element capacitance.

**SOLUTION:** A clad layer 33 and an active layer 34 of a first conductive type are provided in order on an InP substrate 31. A clad layer 37 of a second conductive type in the shape of a ridge stripe is provided on the active layer 35. A stripe-shaped high resistance InP layer 41 is provided being buried at a depth up to the InP substrate 31 on both sides of the ridge. Both sides and the high resistance InP layer 41 are covered with an insulating film 43. An electrode 45 is formed on the second conductive type clad layer 37. An electrode 46 for wire bonding to be provided in connection to this electrode is arranged on the high resistance InP layer 41 through the insulating film 43.



## LEGAL STATUS

[Date of request for examination]

17.05.2002

[Date of sending the examiner's decision of rejection]

07.06.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平9-45999

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
G 0 2 F 1/015	5 0 5		G 0 2 F 1/015	5 0 5
H 0 1 L 27/15		8832-4M	H 0 1 L 27/15	C

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-194409

(22) 出願日 平成7年(1995)7月31日

(71) 出願人 000000295

沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号

(72) 発明者 堀川 英明  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 山内 義則  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 後藤 修  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74) 代理人 弁理士 船橋 國則

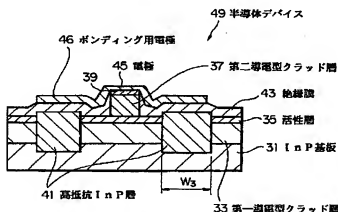
最終頁に続く

(54) 【発明の名称】 半導体デバイス及びその製造方法

(57) 【要約】

【課題】 リーク電流がなく、活性層に効率よく電流を流すことができ、且つ素子容量を小さくできる半導体デバイスを、高速変調動作の向上を図る。

【解決手段】 InP基板31上に第一導電型のクラッド層33、活性層35を順次設ける。活性層35上にリッジストライプ状の第二導電型のクラッド層37を設ける。ストライプ状の高抵抗 InP層41を、リッジの両側で InP基板31に至る深さで埋設して設ける。リッジの両側及び高抵抗 InP層41を絶縁膜43で覆う。電極45を第二導電型のクラッド層37に形成する。この電極45と連設されるワイヤボンディング用の電極46を、高抵抗 InP層41の上に絶縁膜43を介して配設する。



本発明の半導体のデバイスの図

## 【特許請求の範囲】

【請求項1】 InP基板上に順次設けられた第一導電型のクラッド層、活性層と、

該活性層上に設けられたリジストライブ状の第二導電型のクラッド層と、

該リジストの両側に設けられ前記 InP基板に至る深さで埋設されたストライブ状の高抵抗 InP層と、

前記リジストの両側及び該高抵抗 InP層を覆う絶縁膜と、

前記第二導電型のクラッド層に形成される電極と、

該電極に連結され前記高抵抗 InP層の上にも前記絶縁膜を介して配設されたワイヤボンディング用の電極とを具備することを特徴とする半導体デバイス。

【請求項2】 前記活性層が光吸収層であることを特徴とする請求項1記載の半導体デバイス。

【請求項3】 InP基板上に第一導電型のクラッド層と活性層、及び第二導電型のクラッド層を形成した後前記活性層上部の第二導電型のクラッド層をリジストライブ状に加工してリジスト構造を作製する工程と、

前記リジスト構造にマスクを形成するとともに該マスクのリジスト両側にエッチング用の窓を開け該窓を利用して前記 InP基板に至る溝を形成する工程と、

該溝の部分に高抵抗 InP層を選択的に成長させる工程と、

該高抵抗 InP層及び前記リジストの両側面を絶縁膜で覆う工程と、

前記リジスト側の電極を形成した後前記高抵抗 InP層の上に該絶縁膜を介在させてワイヤボンディング用の電極を形成する工程とを具備することを特徴とする半導体デバイスの製造方法。

【請求項4】 前記活性層に代えて光吸収層を形成することを特徴とする請求項3記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速変調特性を有する半導体レーザ、光変調器などの光通信用光デバイス、及び有機金属気相成長法(MOVPE、又はMOCVD)を用いたその製造方法に関するものである。

【0002】

【従来の技術】光通信用光デバイスである例えば半導体レーザでは、ダブルヘテロ構造が利用されることにより、室温での発振が容易なものとなった。更に、低電流動作、光学的特性の改良のために、これに加え埋込型ヘテロ(BH)構造などが考案された。BHレーザでは、活性層であるGaAsが完全に囲まれ、光の閉じ込められる領域が明確になっているので、横モードが非常に安定する。しかし、BHレーザは、構造が複雑であるため、製造方法も手のこんだものとなる。

【0003】この種の半導体レーザの製造方法で、文献「Planar-embedded InGaAsP/InP heterostructure laser

with a semi-insulating InP current-blocking layer grown by metalorganic chemical vapor deposition: T.Sanada et al., Applied Physics Letters, Vol. 51, 1054-1056(1987)」に開示されるものを図10に基づき説明する。まず、n-InP基板1上にn-InPクラッド層3、InGaAsP活性層5、p-InPクラッド層7、p-InGaAsPコンタクト層9を形成する(図10a)。次に、幅4.5μmのSiO<sub>2</sub>をエッチングマスク11として、高さ2.5μmのメサストライプ13を形成する(図10b)。この場合、発振するレーザ光の横モードを制御するため、活性層部分の幅Waを2μm以下にする。

【0004】次に、メサストライプ13の両側を有機金属気相成長法(MOVPE、又はMOCVD)により、FeドーパInP(反絶縁層)15で埋め込む(図10c)。次に、電極を形成するためにエッチング用のSiO<sub>2</sub>マスク11を取り除き、新たに全面にSiO<sub>2</sub>マスク17を形成し、メサストライプ部分を中心に幅7μmのストライプウインドウ19を開ける。次に、p-InGaAsPコンタクト層側にオーミックコンタクト用のPt/Ir電極21を形成し、n-InP側にも同様にAu/AuGe電極23を形成する。更に、この素子をヒートシンクなどにボンディングするために両側に厚さ3μmのAu電極25をメッキする(図10d)。

【0005】このようにして製作された半導体レーザでは、Fe-InP層15を電流ブロック層として用いることで、素子容量が小さく(3.5pF)、通常のP-nヘテロ構造を持った素子に比べて素子容量が1/10以下になり、高速変調動作が可能になる。

【0006】

【発明が解決しようとする課題】上述の半導体レーザでは、順方向に電流が流れると、n-InPクラッド層3から注入された電子がInGaAsP活性層5に閉じ込められる一方、p-InPクラッド層7から注入された正孔も同様にInGaAsP活性層5に閉じ込められる。従って、電流は、基本的にInGaAsP活性層5内で電子と正孔が再結合することによってのみ流れることになる。しかしながら、上述の製造方法により得られる半導体レーザでは、Fe-InP層15がメサストライプの両側でp-InPクラッド層7とn-InPクラッド層3との境界面27、29で挟まれているため、n-InPクラッド層3からの電子の注入に対しては高抵抗(比抵抗>10<sup>8</sup>Ωcm)を示すFe-InP層15が、正孔(ホール)に対しては高抵抗特性を示さず、メサストライプの両側でリーク電流が多く流れる問題があった。この結果、発振しきい値が増大したり、レーザの発振効率が悪くなるといった問題があった。また、上述の半導体レーザは、ブロードエリア構造を用いているため、電極面積が大きくなり、素子容量を更に低減(1pF以下)することが困難であった。本発明は上記状況に鑑みてなされたもので、メサストライプの両側でリーク電流がなく、活性層に効率よく電流を流すことができると

ともに、素子容量を小さくできる半導体デバイス及びその製造方法を提供し、高速変調動作の向上を図ることを目的とする。

#### 【0007】

【課題を解決するための手段】上記目的を達成するための本発明に係る半導体デバイスは、InP基板上に順次設けられた第一導電型のクラッド層、活性層と、該活性層上に設けられたリッジストライプ状の第二導電型のクラッド層と、該リッジの両側に設けられ前記InP基板に至る深さで埋設されたストライプ状の高抵抗InP層と、前記リッジの両側及び該高抵抗InP層を覆う絶縁膜と、前記第二導電型のクラッド層に形成される電極と、該電極に連設され前記高抵抗InP層の上に前記絶縁膜を介して配設されたワイヤボンディング用の電極とを具備することを特徴とするものである。また、本発明に係る半導体デバイスの製造方法は、InP基板上に第一導電型のクラッド層と活性層、及び第二導電型のクラッド層を形成した後前記活性層上部の第二導電型のクラッド層をリッジストライプ状に加工してリッジ構造を作製する工程と、前記リッジ構造にマスクを形成するとともに該マスクのリッジ両側にエッチング用の窓を開け該窓を利用して前記InP基板に至る溝を形成する工程と、該溝の部分に高抵抗InP層を選択的に成長させる工程と、該高抵抗InP層及び前記リッジの両側面を絶縁膜で覆う工程と、前記リッジ側の電極を形成した後前記高抵抗InP層の上に該絶縁膜を介在させてワイヤボンディング用の電極を形成する工程とを具備することを特徴とするものである。

【0008】半導体デバイスでは、活性層上の第二導電型のクラッド層両側が絶縁膜によって覆われることにより、電流がリークを起こさずその下の活性層に効率良く流れることになる。また、ワイヤボンディング用の電極の下に高抵抗InP層が配設されることから、そこでの接合容量が通常のp-nジャンクションのものよりも小さくなる。半導体デバイスの製造方法では、InP基板上に第一導電型のクラッド層、活性層、第二導電型のクラッド層を形成した後、第二導電型のクラッド層をリッジストライプ状に加工し、リッジ構造にマスクを形成するとともにマスクのリッジ両側にエッチング用の窓を開け、この窓を利用して溝を形成し、この溝に高抵抗InP層を選択的に成長させることにより、リッジ両側の電極部分の下に高抵抗層を配設する複雑な構造の半導体デバイスが容易に製造可能となる。

#### 【0009】

【発明の実施の形態】以下、本発明に係る半導体デバイス及びその製造方法の好適な実施形態を図面を参照して詳細に説明する。図1は本発明に係る半導体デバイスの構造を示す図である。n-InP基板31にはn-InPクラッド層(第一導電型のクラッド層)33、InGaAsP活性層35が順次設けられ、InGaAsP活性層35の上部にはリッジストライプ状のp-InPクラッド層(第二導電型のク

ラッド層)37、p-InGaAsPコンタクト層39が順次設けられる。リッジの両側には高抵抗層であるストライプ状のFe-InP層41がn-InP基板31に至る深さで設けられ、Fe-InP層41はInGaAsP活性層35から突出してその間でInGaAsP活性層35を挟んでいる。InGaAsP活性層35、Fe-InP層41の上方には絶縁膜であるSiO<sub>2</sub>43が設けられ、SiO<sub>2</sub>43は同時にp-InGaAsPコンタクト層39、p-InPクラッド層37の側面、即ち、メサ両側を覆っている。メサストライプのp-InGaAsPコンタクト層39にはp型電極45が形成され、p型電極45は高抵抗Fe-InP層41の上にSiO<sub>2</sub>43を介して設けられたワイヤボンディング用の電極46と連設される。

【0010】このような構造を有する半導体デバイス49の製造方法を図1〜図9に基づき説明する。図2はMOVPE工程の説明図、図3はマスク形成工程の説明図、図4はエッチング工程の説明図、図5、図6は窓形成工程の説明図、図7は高抵抗InP層形成工程の説明図、図8は絶縁膜形成工程の説明図、図9は電極加工工程の説明図である。まず、n-InP基板31上にn-InPクラッド層33、InGaAsP活性層35、p-InPクラッド層37、p-InGaAsPコンタクト層39を順次成長させる(図2)。次に、SiO<sub>2</sub>などのエッチングマスク51を通常の熱CVD(Chemical Vapor Deposition: 化学蒸気蒸着法)方法によりp-InGaAsPコンタクト層39の上に形成する。

【0011】次に、このエッチングマスク51を幅約5μm程度のストライプ状に通常のホトリソグラフィにより加工して(図3)、エッチングマスク51で覆われている部分を残してp-InGaAsPコンタクト層39、p-InPクラッド層37を化学エッチングにより取り除き幅W<sub>1</sub>のリッジストライプを形成する(図4)。幅W<sub>1</sub>は、リッジの高さ、及びInGaAsP活性層35の組成、厚さにより基本モードで発振するように適宜決定する。例えば、5μm以下にすることで、基本モード発振が得られるようになる。また、p-InGaAsPコンタクト層39のエッチング液としてH<sub>2</sub>SO<sub>4</sub>+H<sub>2</sub>O+H<sub>2</sub>O<sub>2</sub>の混合液を用い、p-InPクラッド層37のエッチング液としてHCl+H<sub>2</sub>Oの混合液を用いることにより、InGaAsP活性層35に達した時点で自動的にエッチングを停止させることができる。

【0012】エッチングマスク51を除去した後ウエハ全体に再度SiO<sub>2</sub>などの選択マスク53を形成する。次に、図5、図6に示すようにリッジの両側にストライプ状の窓55を開ける。リッジを覆う部分の幅はリッジ幅より広く且つできるだけ狭くなるように設計する。製造上の問題から約10μm程度が適当である。また、窓55の幅W<sub>2</sub>は、その部分に電極用の金ワイヤをボンディングするために最低50μm必要である。

【0013】次に、窓55の開いた部分のみを選択的にエッチングしてInGaAsP活性層35、n-InPクラッド層33、n-InP基板31の一部を除去して溝56を形成す

る。エッチングの深さは素子容量を低減できる3 $\mu$ m以上必要で、深ければ深い程良いがその後の選択成長の結晶性を考慮して上限は5 $\mu$ m程度が好適である。

【0014】次に、高抵抗InP層として例えば従来技術に開示されるFe-InPをMOVPEにより窓55の部分に埋込みFe-InP層41を形成する(図7)。次に、絶縁膜であるSiO<sub>2</sub>43をメサの両側に形成し(図8)、メサストライプのp-InGaAsPコンタクト層39の部分の選択マスク53を除去してその上にp型電極45を形成する(図1)。最後に図9に示すように、p型電極45を加工作して面積を小さくし、ワイヤボンディング用の電極46を形成する。Fe-InP層41の上に当たる部分はワイヤをボンディングするために設けられたエリアであり、ボンディング時に必要な最小の大きさにする。一般的には50~100 $\mu$ m $\times$ 50~100 $\mu$ mの面積が必要となる。電極46は、通常どちらか一方でもよいが、ボンディングの歩留りを上げるためにリッジの両側に設けることが好ましい。以上より、半導体デバイス49の製造が終了する。

【0015】この実施形態による半導体デバイス49では、正常なバイアスをかけて動作させると、p-InGaAsPコンタクト層39から電流が流れ、p-InPクラッド層37、InGaAsP活性層35を通りn-InP基板31側に電流が流れる。これにより、InGaAsP活性層35に注入された電子正孔はInGaAsP活性層35の中心で再結合発光を起こし、レーザ発振が起こる。この際、InGaAsP活性層35の上のp-InPクラッド層37の両側が絶縁膜であるSiO<sub>2</sub>43によって覆われることにより、電流はリークを起こさずその下のInGaAsP活性層35に効率良く流れることになる。また、高抵抗Fe-InP層41の幅W<sub>9</sub>が広く、且つ厚さが十分にあることから、その間を流れる電流のリークが非常に小さいものとなる。更に、p型電極46の下には高抵抗Fe-InP層41が電設されることから、そこでの接合容量は、通常のp-nジャンクションのものより小さくなる。

【0016】上述の半導体デバイス49によれば、InGaAsP活性層35の上のp-InPクラッド層37をリッジとし、その両側を絶縁膜であるSiO<sub>2</sub>43によって覆ったので、従来のようにメサストライプの両側でp-InPクラッド層とn-InPクラッド層とに挟まれたFe-InP層にリーク電流が多く流れることがなく、活性層のみに効率よく電流を流すことができる。この結果、発振しきい値が小さくなり、発振効率のよいレーザ素子を得ることができる。また、リッジ両側の電極46部分の下に高抵抗のFe-InP層41を埋入したので、それがない場合に比べてその部分での接合容量を非常に小さくすることができ、素子容量がFe-InP層41で挟まれたInGaAsP活性層35部分の接合容量だけとなる。更に、従来のものより高抵抗Fe-InP層41の厚さを厚くしたので、素子全体としても素子容量を小さくすることができる。この結果、高速度

作を大幅に向上させることができる。

【0017】また、上述の製造方法によれば、p-InPクラッド層37をリッジで形成し、その両側を絶縁膜であるSiO<sub>2</sub>43で覆い、更にリッジ両側の電極部分の下に高抵抗Fe-InP層41を配設する複雑な構造の半導体デバイス49を、MOVPE、通常の熱CVDを用いることにより容易に製造することができる。

【0018】なお、上述の実施形態では、半導体レーザを例に説明したが、本発明の半導体デバイス及びその製造方法は、ほぼ同じ構造を用いた吸収型的光変調器(活性層を光吸収層としたもの)及びその製造方法にも応用できるものである。この場合、バイアスのかけ方が半導体レーザと逆になり活性層部分には電流注入ではなく電界がかかるようになる。また、効果についても、上述の実施例と同様のものが期待できる。

【0019】

【発明の効果】以上詳細に説明したように、本発明に係る半導体デバイスによれば、活性層の上の第二導電型のクラッド層をリッジとし、その両側を絶縁膜によって覆ったので、従来のようにメサストライプの両側で第二導電型のクラッド層と第一導電型のクラッド層とに挟まれた高抵抗InP層にリーク電流が多く流れることがなく、活性層のみに効率よく電流を流すことができる。この結果、発振しきい値が小さくなり、発振効率のよいレーザ素子を得ることができる。また、リッジ両側の電極の下に高抵抗InP層を埋入したので、その部分での接合容量を非常に小さくすることができる。この結果、高速変調動作を向上させることができる。本発明に係る半導体デバイスの製造方法では、InP基板上に第一導電型のクラッド層、活性層、第二導電型のクラッド層を形成した後、第二導電型のクラッド層をリッジストライプ状に加工作し、このリッジ両側にエッチング用の窓を開け、この窓を利用して溝を形成し、この溝に高抵抗InP層を選択的に成長させるので、リッジ両側の電極部分の下に高抵抗層を配設する複雑な構造の半導体デバイスを容易に製造することができる。

【図面の簡単な説明】

【図1】は本発明に係る半導体デバイスの構造を示す図である。

【図2】MOVPE工程の説明図である。

【図3】マスク形成工程の説明図である。

【図4】エッチング工程の説明図である。

【図5】窓形成工程の説明図である。

【図6】窓形成工程の説明図である。

【図7】高抵抗InP層形成工程の説明図である。

【図8】絶縁膜形成工程の説明図である。

【図9】電極加工工程の説明図である。

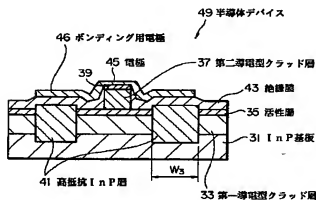
【図10】従来の半導体レーザ製造方法の説明図である。

【符号の説明】

- 31 InP基板  
 33 n-InPクラッド層(第一導電型のクラッド層)  
 35 活性層  
 37 p-InPクラッド層(第二導電型のクラッド層)  
 41 高抵抗 InP層  
 43 絶縁膜

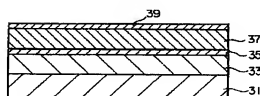
- 45 電極  
 46 ワイヤボンディング用の電極  
 49 半導体デバイス  
 53 マスク  
 55 窓  
 56 溝

【図1】



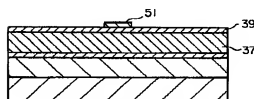
本発明の半導体のデバイスの図

【図2】



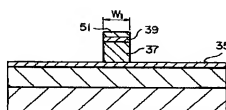
MOVPE工程の説明図

【図3】



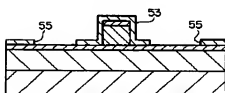
マスク形成工程の説明図

【図4】



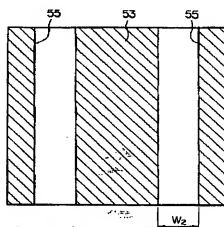
エッチング工程の説明図

【図5】



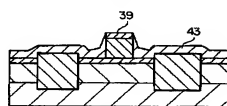
窓形成工程の説明図

【図6】



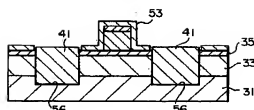
窓形成工程の説明図

【図8】



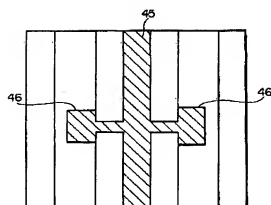
絶縁膜形成工程の説明図

【図7】



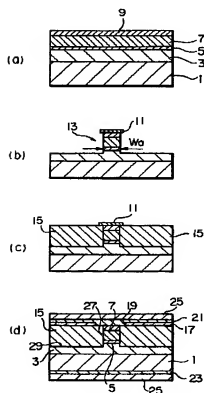
高抵抗層形成工程の説明図

【図9】



電極加工工程の説明図

【図10】



従来の製造方法の説明図

フロントページの続き

(72)発明者 八重樫 浩樹  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

[Claim(s)]

[Claim 1] The cladding layer of the first conductivity type formed one by one on the InP substrate, and a barrier layer, The cladding layer of the second conductivity type of the shape of a ridge stripe established on this barrier layer. It is prepared in the both sides of this ridge, and describes above. High resistance of the shape of a stripe laid underground in the depth which results in an InP substrate InP layer, The both sides of said ridge, and this high resistance A wrap insulator layer, the electrode formed in the cladding layer of said second conductivity type, and this electrode form InP layers successively, and it is said high resistance. Semiconductor device characterized by providing the electrode for wirebonding arranged through said insulator layer on the InP layer.

[Claim 2] The semiconductor device according to claim 1 characterized by said barrier layer being a light absorption layer.

[Claim 3] The process which processes the cladding layer of the second conductivity type of the account barrier layer upper part of back to front in which the cladding layer of the first conductivity type, the barrier layer, and the cladding layer of the second conductivity type were formed on the InP substrate, in the shape of a ridge stripe, and produces ridge structure, While forming a mask in said ridge structure, the aperture for etching is opened in the ridge both sides of this mask, and it describes above using this aperture. The process which forms the slot which results in an InP substrate. It is high resistance to the part of this slot. The process into which an InP layer is grown up alternatively, and this high resistance An InP layer and the both-sides side of said ridge by the insulator layer Wrap process, After forming the electrode by the side of said ridge, it is said high resistance. The manufacture approach of the semiconductor device characterized by providing the process which this insulator layer is made to intervene and forms the electrode for wirebonding on an InP layer.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 characterized by replacing with said barrier layer and forming a light absorption layer.

---

[Translation done.]



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to optical devices for optical communication, such as semiconductor laser which has the high-speed modulation characteristic, and an optical modulator, and the manufacture approach of those using metal-organic chemical vapor deposition (MOVPE or MOCVD).

[0002]

[Description of the Prior Art] For example, by semiconductor laser, the oscillation at a room temperature became easy by [ which is an optical device for optical communication ] using double hetero structure. Furthermore, in addition to this, pad hetero (BH) structure etc. was devised for low current actuation and amelioration of an optical property. By BH laser, GaAs which is a barrier layer is surrounded completely, and since the field in which light is confined is clear, the transverse mode is stabilized very much. However, since structure is complicated, as for BH laser, the manufacture approach also becomes that with which the hand was crowded.

[0003] By the manufacture approach of this kind of semiconductor laser "Reference Planar-embedded InGaAsP/InP heterostructure laser with a semi-insulating InP current-blocking layer grown by metalorganic chemical vapor deposition : \*\* indicated by T.Sanada et al., Applied Physics Letters, Vol.51, and 1054-1056(1987)" It explains based on drawing 10 . First, on the n-InP substrate 1 The n-InP cladding layer 3, the InGaAsP barrier layer 5, the p-InP cladding layer 7, and the p-InGaAsP contact layer 9 are formed ( drawing 10 a ). Next, the mesa stripe 13 with a height of 2.5 micrometers is formed by using SiO<sub>2</sub> with a width of face of 4.5 micrometers as the etching mask 11 ( drawing 10 b ). In this case, in order to control the transverse mode of the laser beam to oscillate, width of face Wa of a barrier layer part is set to 2 micrometers or less.

[0004] Next, the both sides of the mesa stripe 13 are embedded with the Fe dope InP 15 (anti-insulating layer) by metal-organic chemical vapor deposition (MOVPE or MOCVD) ( drawing 10 c ). Next, in order to form an electrode, SiO<sub>2</sub> mask 11 for etching is removed, SiO<sub>2</sub> mask 17 is newly formed in the whole surface, and the stripe window 19 with a width of face of 7 micrometers is opened focusing on a mesa stripe part. next, a p-InGaAsP contact layer side -- object for ohmic contacts the Pt/Ti electrode 21 is formed -- a n-InP side -- the same -- The Au/AuGe electrode 23 is formed. Furthermore, in order to carry out bonding of this component to a heat sink etc., the Au electrode 25 with a thickness of 3 micrometers is plated on both sides ( drawing 10 d ).

[0005] Thus, component capacity is usual small (3.5pF) by using the Fe-InP layer 15 as a current block layer in the manufactured semiconductor laser. Compared with a component with P-n reverse bias structure, component capacity becomes 1/10 or less, and high-speed modulation actuation is attained.

[0006]

[Problem(s) to be Solved by the Invention] If a current is passed in the forward direction, in above-mentioned semiconductor laser, the electron poured in from the n-InP cladding layer 3 The electron hole poured in from the p-InP cladding layer 7 while being shut up in the InGaAsP barrier layer 5 is also this appearance. It is shut up in the InGaAsP barrier layer 5. Therefore, a current is . It will flow, only when an electron and an electron hole recombine within the InGaAsP barrier layer 5. however, in the semiconductor laser obtained by the above-mentioned manufacture approach The Fe-InP layer 15 is on both sides of a mesa stripe. p-InP cladding layer 7 Since it is inserted in the interfaces 27 and 29 with the n-InP cladding layer 3, The Fe-InP layer 15 which shows high resistance (specific resistance >108 ohm-cm) to impregnation of the electron from the n-InP cladding layer 3 did not show a high resistive

characteristic to the electron hole (hole), but there was a problem on which leakage current flows mostly on both sides of a mesa stripe. Consequently, there was a problem that an oscillation threshold increased or the oscillation effectiveness of laser worsened. Moreover, since broadcloth area structure was used for above-mentioned semiconductor laser, it was difficult for an electrode surface product to become large and to reduce component capacity further (1pF or less). While this invention was made in view of the above-mentioned situation, does not have leakage current on both sides of a mesa stripe and being able to pass a current efficiently to a barrier layer, the semiconductor device which can make component capacity small, and its manufacture approach are offered, and it aims at aiming at improvement in high-speed modulation actuation.

[0007]

[Means for Solving the Problem] The semiconductor device concerning this invention for attaining the above-mentioned purpose The cladding layer of the first conductivity type formed one by one on InP substrate, and a barrier layer, The cladding layer of the second conductivity type of the shape of a ridge stripe established on this barrier layer, It is prepared in the both sides of this ridge, and describes above. High resistance of the shape of a stripe laid underground in the depth which results in an InP substrate InP layer, The both sides of said ridge, and this high resistance A wrap insulator layer, the electrode formed in the cladding layer of said second conductivity type, and this electrode form InP layers successively, and it is said high resistance. It is characterized by providing the electrode for wirebonding arranged through said insulator layer on the InP layer. Moreover, the manufacture approach of the semiconductor device concerning this invention The process which processes the cladding layer of the second conductivity type of the account barrier layer upper part of back to front in which the cladding layer of the first conductivity type, the barrier layer, and the cladding layer of the second conductivity type were formed on InP substrate, in the shape of a ridge stripe, and produces ridge structure, While forming a mask in said ridge structure, the aperture for etching is opened in the ridge both sides of this mask, and it describes above using this aperture. The process which forms the slot which results in an InP substrate, It is high resistance to the part of this slot. The process into which an InP layer is grown up alternatively, and this high resistance An InP layer and the both-sides side of said ridge by the insulator layer Wrap process, After forming the electrode by the side of said ridge, it is said high resistance. It is characterized by providing the process which this insulator layer is made to intervene and forms the electrode for wirebonding on an InP layer.

[0008] In a semiconductor device, when the cladding layer both sides of the second conductivity type on a barrier layer are covered with an insulator layer, a current will not cause leak but will flow efficiently to the barrier layer under it. Moreover, it is high resistance under the electrode for wirebonding. The junction capacitance of a there since an InP layer is arranged is usual. It becomes smaller than the thing of a p-n junction. By the manufacture approach of a semiconductor device, on an InP substrate, the cladding layer of the first conductivity type, After forming a barrier layer and the cladding layer of the second conductivity type, the cladding layer of the second conductivity type is processed in the shape of a ridge stripe. While forming a mask in ridge structure, the aperture for etching is opened in the ridge both sides of a mask, a slot is formed using this aperture, and it is high resistance to this slot. By growing up an InP layer alternatively Manufacture of the semiconductor device of the complicated structure which arranges a high resistive layer in the bottom of the electrode section of ridge both sides is attained easily.

[0009]

[Embodiment of the Invention] Hereafter, the suitable operation gestalt of the semiconductor device concerning this invention and its manufacture approach is explained to a detail with reference to a drawing. Drawing 1 is drawing showing the structure of the semiconductor device concerning this invention. n-InP substrate 31 the n-InP cladding layer (cladding layer of the first conductivity type) 33 and the InGaAsP barrier layer 35 are formed one by one — the upper part of the InGaAsP barrier layer 35 — the shape of a ridge stripe The p-InP cladding layer (cladding layer of the second conductivity type) 37 and the p-InGaAsP contact layer 39 are formed one by one. On both sides of a ridge, the Fe-InP layer 41 of the shape of a stripe which is a high resistive layer It is prepared in the depth which results in the n-InP substrate 31, and the Fe-InP layer 41 is. It projects from the InGaAsP barrier layer 35, and is the meantime. The InGaAsP barrier layer 35 is inserted. SiO<sub>2</sub>43 which is an insulator layer is formed above the InGaAsP barrier layer 35 and the Fe-InP layer 41, and SiO<sub>2</sub>43 is coincidence. The side face of the p-InGaAsP contact layer 39 and the p-InP cladding layer 37, i.e., mesa both sides, is covered. Mesa stripe p mold electrode 45 is formed in the p-InGaAsP contact layer 39, and p mold electrodes 45 are formed successively with the electrode 46 for wirebonding prepared through SiO<sub>2</sub>43

on the high resistance Fe-InP layer 41.

[0010] The manufacture approach of a semiconductor device 49 of having such structure is explained based on drawing 1 - drawing 9 . For the explanatory view of an etching process, drawing 5 , and drawing 6 , the explanatory view of a fenestration process and drawing 7 are [ drawing 2 / the explanatory view of a MOVPE process, and drawing 3 / the explanatory view of a mask formation process, and drawing 4 ] the high resistance InP. The explanatory view of an insulator layer formation process and drawing 9 of the explanatory view of a layer formation process and drawing 8 are the explanatory views of an electrode processing process. First, on the n-InP substrate 31 Sequential growth of the n-InP cladding layer 33, the InGaAsP barrier layer 35, the p-InP cladding layer 37, and the p-InGaAsP contact layer 39 is carried out ( drawing 2 ). Next, it is the usual heat CVD (Chemical Vapor Deposition : chemistry steamy vacuum deposition) approach about the etching masks 51, such as SiO<sub>2</sub>. It forms on the p-InGaAsP contact layer 39.

[0011] Next, this etching mask 51 is processed into the shape of a stripe of about 5 micrometers of \*\*\*\* with the usual photolithography ( drawing 3 ), and it leaves the part covered with the etching mask 51. The p-InGaAsP contact layer 39 and the p-InP cladding layer 37 are removed by chemical etching, and it is width of face W1. A ridge stripe is formed ( drawing 4 ). Width of face W1 It reaches in the height of a ridge. It determines suitably to oscillate by the basic mode with the presentation of the InGaAsP barrier layer 35, and thickness. For example, a basic-mode oscillation comes to be obtained by making it 5 micrometers or less. moreover, the mixed liquor of H<sub>2</sub>SO<sub>4</sub>+H<sub>2</sub> O+H<sub>2</sub> O<sub>2</sub> is used as an etching reagent of the p-InGaAsP contact layer 39 — as the etching reagent of the p-InP cladding layer 37 — HCl+H<sub>2</sub>O By using mixed liquor, when the InGaAsP barrier layer 35 is reached, etching can be stopped automatically.

[0012] After removing the etching mask 51, the selection masks 53, such as SiO<sub>2</sub>, are again formed in the whole wafer. Next, as shown in drawing 5 and drawing 6 , the stripe-like aperture 55 is opened in the both sides of a ridge. The width of face of a wrap part designs a ridge so that it may become widely and as narrow as possible from ridge width of face. About 10 micrometers is suitable from the problem on manufacture. Moreover, width of face W2 of an aperture 55 In order to carry out bonding of the golden wire for electrodes to the part, at least 50 micrometers is required.

[0013] Next, only the part which the aperture 55 opened is etched alternatively. Some of InGaAsP barrier layers 35, n-InP cladding layers 33, and n-InP substrates 31 are removed, and a slot 56 is formed. the depth of etching can reduce component capacity — 3 micrometers or more are required, and although it is better as deep, in consideration of the crystallinity of subsequent selective growth, about 5 micrometers is suitable for an upper limit.

[0014] Next, high resistance InP The pad Fe-InP layer 41 is formed in the part of an aperture 55 for Fe-InP indicated by for example, the conventional technique as a layer by MOVPE ( drawing 7 ). Next, SiO<sub>2</sub>43 which is an insulator layer is formed in the both sides of a mesa ( drawing 8 ), and it is a mesa stripe. The selection mask 53 of the part of the p-InGaAsP contact layer 39 is removed, and p mold electrode 45 is formed on it ( drawing 1 ). Finally, as shown in drawing 9 , p mold electrode 45 is processed, area is made small, and the electrode 46 for wirebonding is formed. The part which hits on the Fe-InP layer 41 is the area prepared in order to carry out bonding of the wire, and is made into the minimum magnitude required at the time of bonding. Generally, 50-100micrometerx50-100micrometer area is needed. Although either is usually sufficient as an electrode 46, in order to raise the yield of bonding, preparing in the both sides of a ridge is desirable. Manufacture of a semiconductor device 49 is completed by the above.

[0015] When normal bias is applied and is operated in the semiconductor device 49 by this operation gestalt, the p-InGaAsP contact layer 39 to a current is a passage about flow, the p-InP cladding layer 37, and the InGaAsP barrier layer 35. A current flows to the n-InP substrate 31 side. Electron hole poured into the InGaAsP barrier layer 35 by this A lifting and laser oscillation happen recombination radiation in the InGaAsP barrier layer 35. Under the present circumstances, on the InGaAsP barrier layer 35 When covered with SiO<sub>2</sub>43 whose both sides of the p-InP cladding layer 37 are insulator layers, a current does not cause leak but is under it. It will flow efficiently to the InGaAsP barrier layer 35. Moreover, width-of-face W3 of the high resistance Fe-InP layer 41 Leak of the current on which thickness fully flows the meantime from a certain thing will become very small widely. Furthermore, the junction capacitance of a there since the high resistance Fe-InP layer 41 is arranged in the bottom of p mold electrode 46 is usual. It becomes smaller than the thing of a p-n junction.

[0016] According to the above-mentioned semiconductor device 49, it is on the InGaAsP barrier layer 35. Since the p-InP cladding layer 37 was made into the ridge and the both sides were covered by

SiO<sub>2</sub>43 which is an insulator layer, it is on both sides of a mesa stripe like before. p-InP cladding layer Leakage current cannot flow mostly in the Fe-InP layer pinched by the n-InP cladding layer, and a current can be efficiently passed only to a barrier layer. Consequently, an oscillation threshold becomes small and a laser component with sufficient oscillation effectiveness can be obtained. Moreover, since the Fe-InP layer 41 of high resistance was embedded in the bottom of electrode 46 part of ridge both sides, compared with the case where there is no it, the junction capacitance in the part could be made very small, and component capacity was inserted in the Fe-InP layer 41. It becomes only the junction capacitance of InGaAsP barrier layer 35 part. Furthermore, since thickness of the high resistance Fe-InP layer 41 was made thicker than the conventional thing, component capacity can be made small also as the whole component. Consequently, high-speed operation can be raised sharply.

[0017] Moreover, according to the above-mentioned manufacture approach, the p-InP cladding layer 37 can be formed by the ridge, the both sides can be covered by SiO<sub>2</sub>43 which is an insulator layer, and the semiconductor device 49 of the complicated structure which arranges the high resistance Fe-InP layer 41 in the bottom of the electrode section of ridge both sides further can be easily manufactured by using MOVPE and the usual heat CVD.

[0018] In addition, with an above-mentioned operation gestalt, although semiconductor laser was explained to the example, the semiconductor device and its manufacture approach of this invention are applicable also to the optical modulator (what used the barrier layer as the light absorption layer) and its manufacture approach of the absorption mold using the almost same structure. In this case, how to apply bias becomes semiconductor laser and reverse, and not current impregnation but electric field come to be built over a barrier layer part. Moreover, the same thing as an above-mentioned example is expectable also about effectiveness.

[0019]

[Effect of the Invention] High resistance inserted into the cladding layer of the second conductivity type, and the cladding layer of the first conductivity type on both sides of a mesa stripe like before since according to the semiconductor device concerning this invention the cladding layer of the second conductivity type on a barrier layer was made into the ridge and the both sides were covered by the insulator layer as explained to the detail above Leakage current cannot flow mostly in an InP layer, and a current can be efficiently passed only to a barrier layer. Consequently, an oscillation threshold becomes small and a laser component with sufficient oscillation effectiveness can be obtained. Moreover, it is high resistance under the electrode of ridge both sides. Since the InP layer was embedded, the junction capacitance in the part can be made very small. Consequently, high-speed modulation actuation can be raised. By the manufacture approach of the semiconductor device concerning this invention After forming the cladding layer of the first conductivity type, a barrier layer, and the cladding layer of the second conductivity type on InP substrate, The cladding layer of the second conductivity type is processed in the shape of a ridge stripe, the aperture for etching is opened in these ridge both sides, a slot is formed using this aperture, and it is high resistance to this slot. Since an InP layer is grown up alternatively The semiconductor device of the complicated structure which arranges a high resistive layer in the bottom of the electrode section of ridge both sides can be manufactured easily.

---

[Translation done.]

\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing showing the structure of the semiconductor device concerning this invention.

[Drawing 2] It is the explanatory view of a MOVPE process.

[Drawing 3] It is the explanatory view of a mask formation process.

[Drawing 4] It is the explanatory view of an etching process.

[Drawing 5] It is the explanatory view of a fenestration process.

[Drawing 6] It is the explanatory view of a fenestration process.

[Drawing 7] High resistance InP It is the explanatory view of a layer formation process.

[Drawing 8] It is the explanatory view of an insulator layer formation process.

[Drawing 9] It is the explanatory view of an electrode processing process.

[Drawing 10] It is the explanatory view of the conventional semiconductor laser manufacture approach.

[Description of Notations]

31 InP Substrate

33 N-InP Cladding Layer (Cladding Layer of First Conductivity Type)

35 Barrier Layer

37 P-InP Cladding Layer (Cladding Layer of Second Conductivity Type)

41 High Resistance InP Layer

43 Insulator Layer

45 Electrode

46 Electrode for Wirebonding

49 Semiconductor Device

53 Mask

55 Aperture

56 Slot

---

[Translation done.]